

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135971

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

E

12/20

H 0 4 Q 3/00

12/56

H 0 4 L 11/20

1 0 2 G

29/08

13/00

3 0 7 C

H 0 4 Q 3/00

審査請求 未請求 請求項の数1 O L (全 8 頁)

(21) 出願番号

特願平8-289447

(22) 出願日

平成 8 年(1996) 10月31日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 田中 真

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 田島 祥子

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

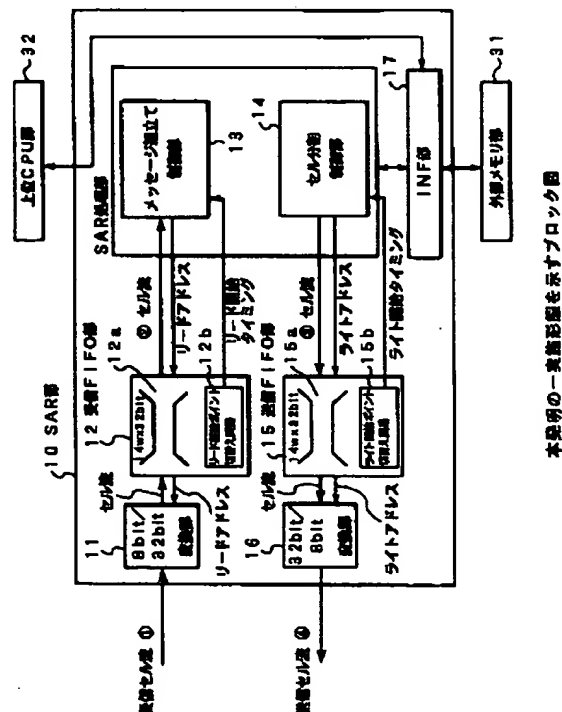
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 速度変換回路

(57) 【要約】

【課題】 送・受信FIFO部で回線側クロックと内部動作のクロックの速度変換を行った後、送・受信側バッファ部で内部処理のタイミングを合わせていたため、セルを格納するためのメモリが送・受信側合わせて4つ必要であった。

【解決手段】 受信側では、回線側から受信したセルをビット変換した後受信FIFO部12に格納するとともに、リード開始ポイント切替え回路12bからのリード開始タイミングによってメッセージ組立て制御部13を起動し、受信FIFO部12から外部メモリ部21にセルデータを転送しかつメッセージを組み立てる。一方、送信側では、ライト開始ポイント切替え回路15bからのライト開始タイミングによってセル分割制御部14を起動し、外部メモリ部31から送信FIFO部15にメッセージをセルに分割して転送し、ビット変換した後回線側に送信する。



本発明の一実施形態を示すブロック図

【特許請求の範囲】

【請求項1】 ATM方式の各種装置に使用される、プロトコル上のAAL部における送信のセル先頭信号と受信のセル先頭信号が非同期の場合の異種回線速度を収容するSAR部において、

回線側から受信したセルのデータ幅を変換する受信ビット変換部と、

回線側の速度によってリード開始タイミングを切り替えるリード開始ポイント切替え回路を有し、前記受信ビット変換部で変換されたセルデータを格納する受信メモリ部と、

前記リード開始ポイント切替え回路からのリード開始タイミングによって起動し、前記受信メモリ部から外部メモリ部にセルデータを転送しかつメッセージを組み立てるメッセージ組立て制御部と、

回線側の速度によってライト開始タイミングを切り替えるライト開始ポイント切替え回路を有する送信メモリ部と、

前記ライト開始ポイント切替え回路からのライト開始タイミングによって起動し、前記外部メモリ部から前記送信メモリ部にメッセージをセルに分割して転送するセル分割制御部と、

前記送信メモリ部からの送信セルのデータ幅を変換して回線側に送信する送信ビット変換部と、

前記外部メモリ部に対する前記メッセージ組立て制御部、前記セル分割制御部および外部装置からのメモリアクセス要求の調停を行うインタフェース部とを備えたことを特徴とする速度変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATM(Asynchronous Transfer Mode:非同期転送モード)方式の各種装置に使用される速度変換回路に関し、特に広帯域ISDN(Integrated Serviced Digital Network)プロトコル上のAAL(ATM Adaptation Layer)部を実現するLSI(以下、SAR(Segmentation And Reassembly)と称する)の異種回線速度を収容する速度変換回路に関するものである。

【0002】

【従来の技術】SAR部の従来の構成を図7に示す。このSAR処理部では、以下に述べる処理が行われる。まず、受信側では、回線から受信したセル(図3参照)のデータ幅を8bit/32bit変換部51で8ビットから32ビットに変換し、受信FIFO(First-In First-Out)部52で内部動作クロックに載せ換え、一旦受信側バッファ部53に格納した後、メッセージ組立て制御部54にてセルのヘッダ部の情報に基づいて外部メモリ部61内のメッセージ組立て用の情報を検索し、その情報を基にセルのペイロード部をINF(インタフェース)部55を介して外部メモリ61に格納し、それをつ

なげることでメッセージを組み立てる(図4参照)。

【0003】一方、送信側では、送りたいメッセージを上位CPU部62から外部メモリ部61に格納し、送信する場合はそのセルのヘッダ情報を上位CPU部62から設定し、セル分割制御部56にてメッセージを48バイト単位で外部メモリ部61から読み出すことによってセルに分割し、セルの先頭にヘッダ部を付加したものを一旦送信側バッファ部57に格納した後、送信FIFO部58で回線クロックに載せ換え、さらに32bit/8bit変換部59で8ビットのデータ幅に変換して送信する。

【0004】このように、受信処理では、セルのヘッダ部内のVPI/VC(チャンネル番号)に基づいてそのチャンネルの制御情報およびメッセージ組立て用の情報を外部メモリ部61から読み出し、その後外部メモリ部61から読み出した情報を基にペイロード部を受信側バッファ部53から外部メモリ部61に転送している。また、送信処理では、送信するチャンネルのヘッダ情報を上位CPU部62から受信し、メッセージを外部メモリ部61から読み出し、ヘッダ部を付加して送信側バッファ部57に格納している。

【0005】図8および図9に、送信側(1)および受信側(2)のタイムチャートをそれぞれ示す。図8および図9のタイムチャートにおいて、セル流～は図7中のセル流～にそれぞれ対応している。ここで、受信処理と送信処理とは非同期なので、メッセージ組立て処理とセル分割処理のメモリアクセスのタイミングが同時になった場合には、図9の(1)に示すように、各処理に必要な時間が長くなり(1280ns)、メッセージ組立て処理とセル分割処理のメモリアクセスが重ならず、どちらか一方の処理しか行わない場合には、図9の(2)に示すように、処理時間が短くなる(720ns)。

【0006】

【発明が解決しようとする課題】しかしながら、上述した従来技術では、送・受信FIFO部52、58で回線側クロックと内部動作のクロックの速度変換を行った後、送・受信側バッファ部53、57に一旦格納し、この送・受信側バッファ部53、57で内部処理のタイミングを合わせていたため、セルを格納するためのメモリが送・受信側合わせて4つ必要であり、回路規模が大きくなるという問題があった。

【0007】

【課題を解決するための手段】本発明による速度変換回路は、ATM方式の各種装置に使用される、プロトコル上のAAL部における送信のセル先頭信号と受信のセル先頭信号が非同期の場合の異種回線速度を収容するSAR部において、回線側から受信したセルのデータ幅を変換する受信ビット変換部と、回線側の速度によってリード開始タイミングを切り替えるリード開始ポイント切替

え回路を有し、前記受信ビット変換部で変換されたセルデータを格納する受信メモリ部と、リード開始ポイント切替え回路からのリード開始タイミングによって起動し、受信メモリ部から外部メモリ部にセルデータを転送しかつメッセージを組み立てるメッセージ組立て制御部と、回線側の速度によってライト開始タイミングを切り替えるライト開始ポイント切替え回路を有する送信メモリ部と、ライト開始ポイント切替え回路からのライト開始タイミングによって起動し、外部メモリ部から送信メモリ部にメッセージをセルに分割して転送するセル分割制御部と、送信メモリ部からの送信セルのデータ幅を変換して回線側に送信する送信ビット変換部と、外部メモリ部に対するメッセージ組立て制御部、セル分割制御部および外部装置からのメモリアクセス要求の調停を行うインタフェース部とを備えた構成となっている。

【0008】上記構成の速度変換回路において、回線側からセル先頭信号に同期して受信したセルは、そのデータ幅が受信ビット変換部で変換されて受信メモリ部に格納される。受信メモリ部内のリード開始ポイント切替え回路は、回線側の速度に対応したリード開始タイミングをメッセージ組立て制御部に出力する。メッセージ組立て制御部は、このリード開始タイミングを受信すると、受信メモリ部から外部メモリ部にセルデータを転送しかつメッセージを組み立てる。

【0009】一方、送信メモリ内のライト開始ポイント切替え回路は、回線側の速度に対応したライト開始タイミングをセル分割制御部に出力する。セル制御部は、このライト開始タイミングを受信すると、外部メモリ部から送信メモリ部にメッセージをセルに分割して転送する。そして、この送信メモリ部からの送信セルは、そのデータ幅が送信ビット変換部で変換されて回線側に送信される。インタフェース部は、メッセージ組立て制御部、セル分割制御部および外部装置からのメモリアクセス要求の調停を行う。

【0010】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しつつ詳細に説明する。図1は、本発明の一実施形態を示すブロック図である。

【0011】図1において、SAR部10は、8bit/32bit変換部11と、受信FIFO部12と、メッセージ組立て制御部13と、セル分割制御部14と、送信FIFO部15と、32bit/8bit変換部16と、INF（インタフェース）部17とによって構成されている。このSAR部10において、8bit/32bit変換部11は、フリップフロップと、受信FIFO部12からのリードアドレスの下位2ビットをデコードする回路とによって構成され、受信セルのデータ幅を8ビットから32ビットに変換する。

【0012】受信FIFO部12は、32ビット幅のFIFOメモリ部12aと、リード開始ポイント切替え回

路12bとにより構成されている。リード開始ポイント切替え回路12bは、図2に示すように、回線側クロックでカウントアップするアドレスカウンタ21と、このアドレスカウンタ21から与えられるライトアドレスをあらかじめ算出しておいた幾つかのリード開始ポイントに対応させてデコードするデコーダ22と、上位からの信号に基づいて回線側の速度が設定されるレジスタ23と、このレジスタ23に設定された回線側の速度に合わせてデコーダ22のデコード値をセレクトするセクタ24とによって構成され、セレクトした信号をリード開始タイミングとしてメッセージ組立て制御部13に通知する。

【0013】メッセージ組立て制御部13は、メッセージ組立て処理に合わせて内部クロックでカウントアップするリードアドレスカウンタと、その他の制御回路とによって構成され、受信FIFO部12からのリード開始タイミングが立ったときからメッセージ組立て処理を開始する。セル分割制御部14は、セル分割処理に合わせて内部クロックでカウントアップするライトアドレスカウンタと、その他の制御回路とによって構成され、送信FIFO部15からのライト開始タイミングが立ったら、セル分割処理を開始する。

【0014】送信FIFO部15は、32ビット幅のFIFOメモリ部15aと、ライト開始ポイント切替え回路15bとにより構成されている。ライト開始ポイント切替え回路15bは、図2に示されたリード開始ポイント切替え回路と同様に、回線側クロックでカウントアップするアドレスカウンタ21と、このアドレスカウンタ21から与えられるリードアドレスをあらかじめ算出しておいた幾つかのライト開始ポイントに対応させてデコードするデコーダ22と、上位からの信号に基づいて回線側の速度が設定されるレジスタ23と、このレジスタ23に設定された回線側の速度に合わせてデコーダ22のデコード値をセレクトするセクタ24とによって構成され、セレクトした信号をライト開始タイミングとしてセル分割制御部14に通知する。

【0015】32bit/8bit変換部16は、フリップフロップと、送信FIFO部15からのライトアドレスの下位2ビットをデコードする回路とにより構成され、送信セルのデータ幅を32ビットから8ビットに変換する。INF部17は、外部メモリ部31とのインタフェース部分であり、メッセージ組立て制御部13とセル分割制御部14との上位CPU部32からの外部メモリアクセス要求が重なったときに調停を行う。外部メモリ部31は、シングルポートメモリ相当のものである。

【0016】図3にセルフォーマットを示す。同図から明らかなように、ヘッダ部内には、(a) GFC (Generic Flow Control: 一般的フロー制御) / VPI (Virtual Path Identifier: 仮想パス識別子)、(b) VPI、(c) VCI (Virtual Channel Identifier: 仮想チャネ

10

20

30

40

50

ル識別子)、(d) P T (Payload Type:ペイロード・タイプ)、(e) C L P (Cell Loss Priority:セル損失優先表示)等の情報が格納されている。このセル流とメッセージとの関係を図4に示す。

【0017】次に、上記構成のSAR部10の動作について、図5および図6のタイムチャートを参照しつつ説明する。なお、図5および図6のタイムチャートにおいて、セル流 ~ は図1中のセル流 ~ にそれぞれ対応している。また、本実施形態に係るSAR部10は、セル先頭信号の周期が132ms~2.7μsの範囲のセル流に対応できるものとする。

【0018】まず、回線側からセル先頭信号に同期して受信したセルは、そのデータ幅が8bit/32bit変換部11で8ビットから32ビットに変換され、受信FIFO部12で32ビット幅のFIFOメモリ部12aに格納される。リード開始ポイント切替え回路12bは、回線の速度に対応したリード開始ポイント(ライトアドレスをデコードした値)をデコーダ22内に数種類保持しており、それをレジスタ22に設定された値に基づいてセクタ24によってセレクトし、そのデコード値までライトアドレスが進んだ時点で、リード開始タイミングをメッセージ組立て制御部13に出力する。

【0019】メッセージ組立て制御部13は、リード開始ポイント切替え回路12bからリード開始タイミングを受信すると、まず、受信FIFO部12からセルのヘッダ部を読み出し、ヘッダ部内のVPI/VC Iに基づいてそのセルの制御情報およびメッセージ組立て用の情報を外部メモリ部31から読み出し、その情報を基にこのセルを格納するアドレスを抽出する(前処理)。そして、ペイロード部を外部メモリ部31に転送し、抽出したアドレスに格納する。

【0020】ライト開始ポイント切替え回路15bもリード開始ポイント切替え回路12bと同様に、回線の速度に対応したライト開始ポイント(リードアドレスをデコードした値)をデコーダ22内に数種類保持しており、それをレジスタ23に設定された値に基づいてセクタ24によってセレクトし、そのデコード値までリードアドレスが進んだ時点で、ライト開始タイミングをセル分割制御部14に出力する。

【0021】セル分割制御部14は、ライト開始ポイント切替え回路15bからライト開始タイミングを受信すると、CPU部32から受信した送信すべきセルのヘッダ情報(VPI/VC I)から外部メモリ部31内の制御情報およびそのメッセージが格納されているアドレスを抽出する。そして、外部メモリ部31内のメッセージの先頭48バイトを読み出し、先頭にヘッダ部を付けて送信FIFO部15内の32ビット幅のFIFOメモリ部15aに格納する。この格納されたセルは、回線側のセル先頭信号に合わせて読み出され、32bit/8bit変換部16で32ビットから8ビットに変換された

後、回線側に送信される。

【0022】INF部17では、メッセージ組立て制御部13、セル分割制御部14および上位CPU部32からのメモリアクセス要求の調停を行う。メッセージ組立て制御部13とセル分割制御部14は同等の優先順位であり、同時にアクセス要求があった場合は、交互にアクセスできるようになっている。また、上位CPU部32についてはメッセージ組立て制御部13およびセル分割制御部14よりも優先順位が低く、これら制御部13、14からアクセス要求がないときのみアクセスできるようになっている。

【0023】このような優先順位に基づくINF部17によるメモリアクセス要求の調停により、メッセージ組立て処理とセル分割処理が重なった場合には、図6の(1)に示すように、処理時間が1280nsとなり、メッセージ組立て処理とセル分割処理が重ならない場合には、図6の(2)に示すように、処理時間が720nsと短くなるようなことが起こる。

【0024】

【発明の効果】以上詳細に説明したように、本発明によれば、送・受信FIFO部に回線側との速度差を吸収するとともに、SAR処理時間の差およびタイミングに合わせる機能を持たせたことにより、従来、内部処理のタイミングに合わせるために用いていたバッファ部を削除できるため、異種回線速度を収容する場合でも、回路規模(メモリ量)を小さく抑えることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すブロック図である。

【図2】リード/ライト開始ポイント切替え回路の一例を示すブロック図である。

【図3】セルフォーマットを示す図である。

【図4】セル流とメッセージとの関係を示す図である。

【図5】本発明に係る回路動作を説明するタイムチャート(その1)である。

【図6】本発明に係る回路動作を説明するタイムチャート(その2)である。

【図7】従来例を示すブロック図である。

【図8】従来例に係る回路動作を説明するタイムチャート(その1)である。

【図9】従来例に係る回路動作を説明するタイムチャート(その2)である。

【符号の説明】

10 SAR部

11 8bit/32bit変換部

12 受信FIFO部

12a リード開始ポイント切替え回路

13 メッセージ組立て制御部

14 セル分割制御部

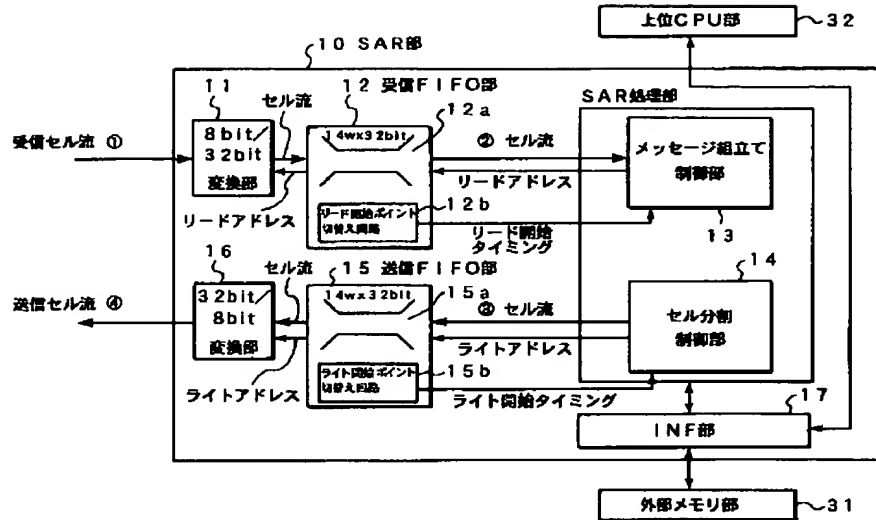
15 送信FIFO部

15a リード開始ポイント切替え回路

16 32bit/8bit変換部
17 INF(インタフェース)部

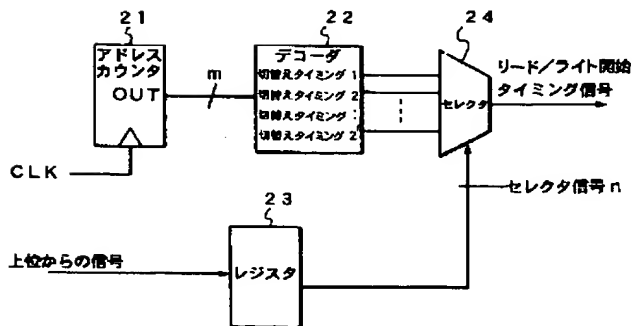
31 外部メモリ部
32 上位CPU部

【図1】



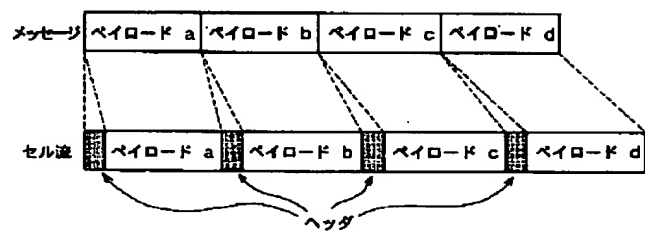
本発明の一実施形態を示すブロック図

【図2】



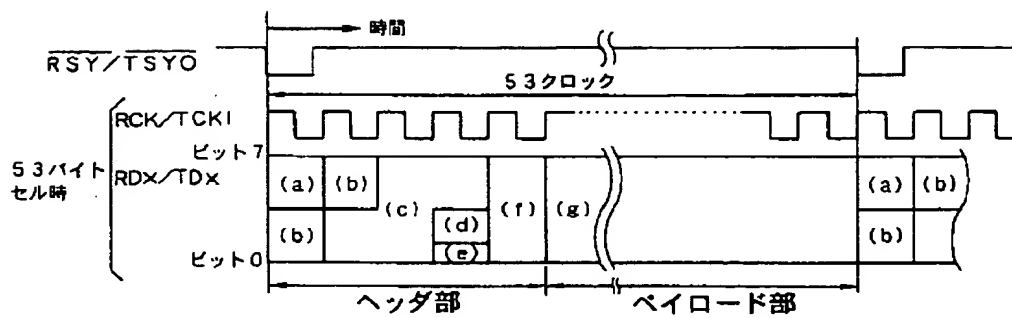
リード/ライト開始ポイント切替回路の一例のブロック図

【図4】



セル流とメッセージとの関係を示す図

【図3】

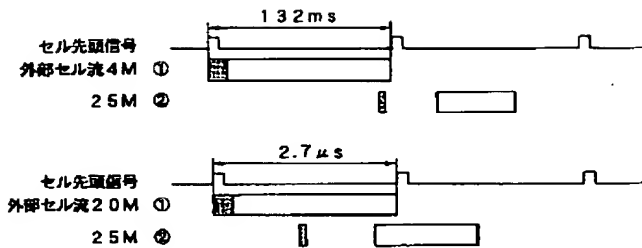


記号	略称	フィールド名称	説明
(a)	GFC/ VPI	Generic Flow Control (一般的フロー制御)	UNIのときGFC, NNIのときVPI GFCは、一般的なUNIでの各ATMコネクションからの トラフィックの短期的な過負荷状態を迎えるための フロー制御に用いる。
(b)	VPI	Virtual Path Identifier (仮想パス識別子)	各VCを区別するために付けられる番号である。
(c)	VCI	Virtual Channel Identifier (仮想チャネル識別子)	各VPを区別するための番号で、この番号でセルが 振り分けられる。
(d)	PT	Payload Type (ペイロードタイプ)	情報フィールドの使われ方を表示する。
(e)	CLP	Cell Loss Priority (セル損失優先表示)	損失なくセルを送りたいときに表示する。 0: 優先 1: 非優先
(f)		ヘッダの5バイト目	受信セル送信セルともDon't Careとする。
(g)	SAR- PDU	Payload	ユーザ情報フィールド (48バイト)

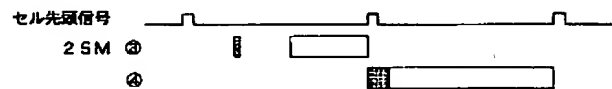
セルフォーマットを示す図

【図5】

(1) 受信側



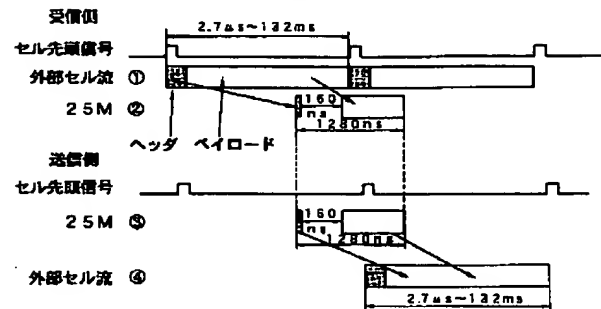
(2) 送信側



本発明に係る回路動作を説明するタイムチャート（その1）

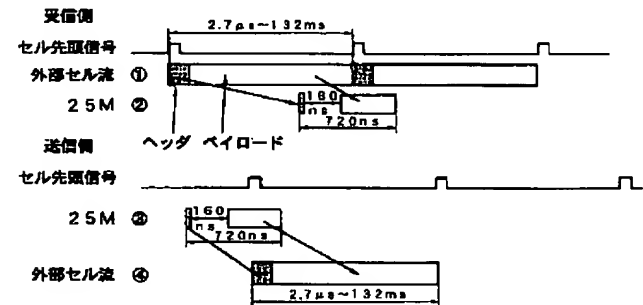
【図6】

(1) メッセージ組立て処理とセル分割処理のタイミングが同時の場合



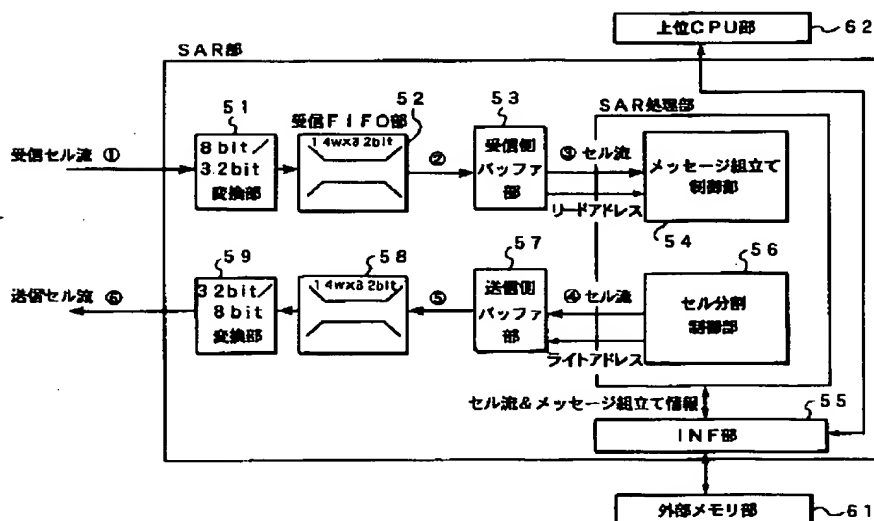
(2) メッセージ組立て処理とセル分割処理が重ならない場合

（1）のタイミングでメッセージ組立て処理又はセル分割処理がなかった場合、あるいは下記タイミングのような場合）



本発明に係る回路動作を説明するタイムチャート（その2）

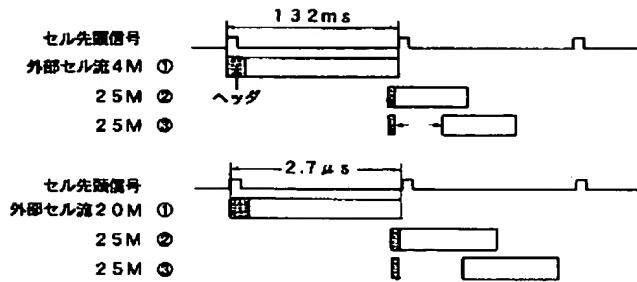
【図7】



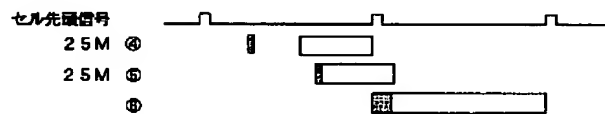
従来例を示すブロック図

【図8】

(1) 受信側



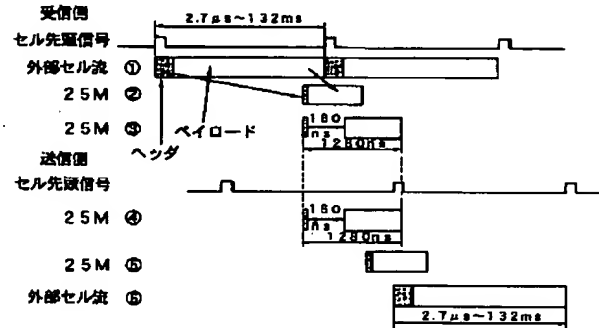
(2) 送信側



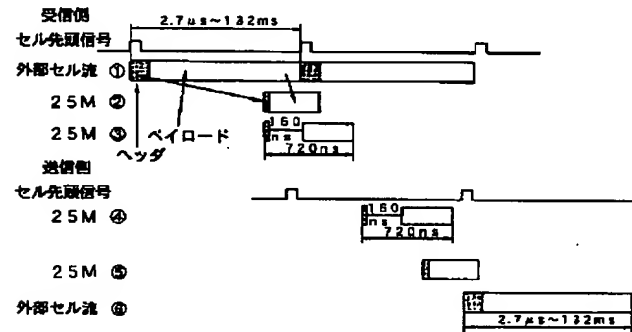
従来例に係る回路動作を説明するタイムチャート (その1)

【図9】

(1) メッセージ組立て処理とセル分割処理のメモリアクセスのタイミングが同時の場合



(2) メッセージ組立て処理とセル分割処理のメモリアクセスが重ならない場合



従来例に係る回路動作を説明するタイムチャート (その2)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.